



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0005936
Application Number

출원 년 월 일 : 2003년 01월 29일
Date of Application JAN 29, 2003

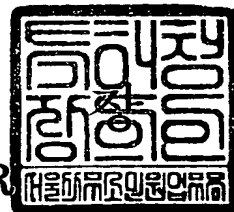
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.01.29
【국제특허분류】	H01L
【발명의 명칭】	보호캡을 가지는 플립칩 패키지 및 그 제조 방법
【발명의 영문명칭】	Flip chip package having protective cap and method for fabricating the same

【출원인】

【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3

【대리인】

【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0

【대리인】

【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4

【발명자】

【성명의 국문표기】	이용관
【성명의 영문표기】	LEE, Yong Kwan
【주민등록번호】	750720-1455911
【우편번호】	330-091
【주소】	충청남도 천안시 쌍용1동 경동아파트 101-506
【국적】	KR

【발명자】

【성명의 국문표기】	남태덕
【성명의 영문표기】	NAM, Tae Duk
【주민등록번호】	740302-1775015

【우편번호】 336-711
【주소】 충청남도 아산시 배방면 삼성반도체온양사업장 우정동 402호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 4 면 4,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 18 항 685,000 원
【합계】 718,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

도브테일홈이 형성된 보호캡이 반도체 칩의 배면에 부착되어 있는 플립칩 패키지 및 그 제조 방법에 관하여 개시한다. 보호캡은 반도체 칩의 외측으로 돌출되는 연장부를 가지고, 보호캡의 연장부에는 몰딩 수지가 유입될 수 있는 도브테일홈이 형성되어 있다. 몰딩 수지층에는 보호캡에 형성된 도브테일홈에 수용되는 도브테일부가 형성된다. 본 발명에 따른 플립칩 패키지 제조 방법에서는 먼저 도브테일홈이 형성된 보호캡이 부착된 발포성 릴리즈 테이프를 준비한다. 반도체 칩의 배면과 보호캡이 상호 대면하도록 정렬된 상태에서 릴리즈 테이프 및 회로 기판을 사이에 두고 몰딩 금형의 상형 및 하형을 클램핑시킨다. 상기 클램핑된 몰딩 금형 내로 몰딩 수지를 주입하면서 몰딩 금형을 이용한 열압착에 의하여 상기 반도체 칩의 배면에 상기 보호캡을 부착시킨다. 몰딩 금형의 상형 및 하형을 분리시킴과 동시에 상기 보호캡으로부터 릴리즈 테이프를 분리시킨다.

【대표도】

도 1

【색인어】

보호캡, 반도체 칩, 배면, 발포성 수지 필름, 도브테일홈

【명세서】

【발명의 명칭】

보호캡을 가지는 플립칩 패키지 및 그 제조 방법 {Flip chip package having protective cap and method for fabricating the same}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 플립칩 패키지의 구조를 개략적으로 도시한 단면도이다.

도 2a 내지 도 2d는 본 발명의 제1 실시예에 따른 플립칩 패키지의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 3은 본 발명의 제2 실시예에 따른 플립칩 패키지의 구조를 개략적으로 도시한 단면도이다.

도 4a 내지 도 4d는 본 발명의 제2 실시예에 따른 플립칩 패키지의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10: 반도체 칩, 12: 활성면, 14: 배면, 16: 측면, 20: 회로 기판, 30: 솔더 범프, 40: 보호캡, 40a: 연장부, 42: 제1면, 44: 제2면, 46: 도브테일홈, 48: 측면, 50: 몰딩 수지층, 52: 도브테일부, 60: 접착층, 70: 솔더볼.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 패키지 및 그 제조 방법에 관한 것으로, 특히 반도체 칩의 배면(back side)이 외부에 직접 노출되는 것을 방지하고 외부 충격에 의한 손상을 방지할 수 있는 구조를 가지는 플립칩 패키지 및 그 제조 방법에 관한 것이다.
- <8> 최근, 전자기기의 박형화 및 소형화 추세에 따라 반도체 소자의 패키징 기술로서 고속, 고기능 및 고밀도 실장이 요구되며, 이러한 요구에 부응하여 칩 스케일 패키지 형태의 플립칩 패키지 기술이 등장하였다.
- <9> 플립칩 패키지에서는 반도체 칩과 회로 기판상의 패드간의 접속 거리가 짧기 때문에 전기적 특성 및 열전도 특성은 우수하지만, 반도체 칩의 활성면 반대측인 배면이 그대로 외부로 노출되어 있어 플립칩을 취급할 때 외부 충격에 의하여 칩 크랙(chip crack) 등과 같은 손상을 받을 수 있으며, 신뢰도 및 생산성 측면에서 취약하다.
- <10> 상기와 같은 문제점을 해결하기 위하여, 종래 기술에서는 반도체 칩의 배면에 보호막을 형성한 구조가 제안되었다. (예를 들면, 미합중국 특허 제5,936,304호 참조). 그러나, 반도체 칩의 배면에 보호막을 형성하는 기술로서 지금까지 제안된 종래 기술에서는 보호막을 형성하기 위하여 별도의 공정 단계가 추가되므로 공정수가 증가되고, 제조 공정상에서 추가 설비를 필요로 하기 때문에 대량 생산에 불리하며, 현실적으로 적용하기 곤란한 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <11> 본 발명의 목적은 상기한 바와 같은 종래 기술에서의 문제점을 해결하고자 하는 것으로, 우수한 열전달 특성을 유지하면서 반도체 칩의 배면이 손상되는 것을 방지함으로써 신뢰성을 향상시킬 수 있는 구조를 가지는 플립칩 패키지를 제공하는 것이다.
- <12> 본 발명의 다른 목적은 별도의 공정을 추가하지 않고도 반도체 칩의 배면을 효과적으로 보호할 수 있는 구조를 제공함으로써 신뢰성이 우수하고 대량 생산이 가능한 플립칩 패키지 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <13> 상기 목적을 달성하기 위하여, 본 발명에 따른 플립칩 패키지는 활성면과 상기 활성면의 반대측 배면을 가지는 반도체 칩과, 상기 반도체 칩의 활성면과 전기적으로 연결되어 있는 회로 기판과, 상기 반도체 칩과 상기 회로 기판과의 전기적 연결 부분 및 상기 반도체 칩의 측면을 밀봉하기 위한 몰딩 수지층과, 상기 회로 기판의 하면에 형성된 복수의 솔더볼과, 상기 반도체 칩의 배면에 부착된 보호캡(protective cap)을 포함한다. 상기 보호캡은 상기 반도체 칩의 외측으로 돌출되는 연장부를 가지고, 상기 보호캡의 연장부에는 몰딩 수지가 유입될 수 있는 도브테일홈(dovetail groove)이 형성되어 있다. 상기 몰딩 수지층에는 상기 보호캡에 형성된 도브테일홈에 수용되는 도브테일부(dovetail portion)가 형성된다.
- <14> 상기 보호캡은 금속, 예를 들면 구리(Cu), 구리 합금, 알루미늄(Al), 또는 알루미늄 합금으로 이루어진다.
- <15> 상기 반도체 칩과 상기 회로 기판을 전기적으로 연결시키기 위하여, 복수의 솔더 범프 또는 복수의 본딩 와이어를 포함한다.

- <16> 본 발명에 따른 플립칩 패키지는 상기 반도체 칩의 배면과 보호캡과의 사이에 개재된 접착층을 더 포함할 수 있다.
- <17> 상기 다른 목적을 달성하기 위하여, 본 발명에 따른 플립칩 패키지 제조 방법에서는 활성면과 그 반대측 배면을 가지는 반도체 칩을 회로 기판상의 소정 영역에 전기적으로 연결시킨다. 상형 및 하형으로 구성된 반도체 패키지 제조용 몰딩 금형을 준비한다. 도브테일홈이 형성된 보호캡(protective cap)이 부착된 릴리즈 테이프(release tape)를 준비한다. 상기 반도체 칩의 배면과 상기 보호캡이 상호 대면하도록 정렬된 상태에서 상기 릴리즈 테이프 및 상기 회로 기판을 사이에 두고 상기 몰딩 금형의 상형 및 하형을 클램핑시킨다. 상기 클램핑된 몰딩 금형 내로 몰딩 수지를 주입하여 상기 반도체 칩과 상기 회로 기판과의 전기적 연결 부분 및 상기 반도체 칩의 측면을 밀봉하는 몰딩 수지층을 형성한다. 상기 몰딩 금형을 이용한 열압착에 의하여 상기 반도체 칩의 배면에 상기 보호캡을 부착시킨다. 상기 몰딩 금형의 상형 및 하형을 분리시킴과 동시에 상기 보호캡으로부터 릴리즈 테이프를 분리시킨다. 상기 반도체 칩의 배면에 보호캡이 부착된 결과물에 열을 가하여 상기 몰딩 수지층을 큐어링한다. 상기 몰딩 금형의 상형 및 하형을 클램핑시키기 전에 상기 반도체 칩의 배면에 접착층을 형성하는 단계를 더 포함할 수 있다.
- <18> 상기 반도체 칩의 배면에 상기 보호캡을 부착시키는 단계는 상기 접착층이 상기 배면과 보호캡 사이에 개재된 상태에서 행해진다.
- <19> 상기 릴리즈 테이프는 발포성 수지 필름으로 이루어진다.
- <20> 본 발명에 의하면, 반도체 칩의 배면에 부착된 보호캡에 의하여 우수한 열전달 특성을 유지하면서 반도체 칩의 배면이 손상되는 것을 효과적으로 방지할 수 있고, 별도의 공정을 추

가하지 않고도 반도체 칩의 배면을 효과적으로 보호할 수 있는 보호캡을 반도체 칩의 배면에 부착함으로써 공정수를 증가시키지 않고도 신뢰성이 우수한 플립칩 패키지를 제조할 수 있다.

<21> 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<22> 도 1은 본 발명의 제1 실시예에 따른 플립칩 패키지의 구조를 개략적으로 도시한 단면도이다.

<23> 도 1을 참조하면, 본 발명의 제1 실시예에 따른 플립칩 패키지는 복수의 본딩 패드들(도시 생략)이 형성된 활성면(12)과 상기 활성면(12)의 반대측인 배면(14)을 가지는 반도체 칩(10)과, 상기 반도체 칩(10)에 형성된 본딩 패드들에 대응하여 형성된 복수의 전극 패드들(도시 생략)을 가지는 회로 기판(20)을 포함한다. 상기 반도체 칩(10)은 예를 들면 DRAM, SRAM 등과 같은 메모리 회로를 포함한다. 상기 회로 기판(20)은 복수의 솔더 범프(30)에 의하여 상기 반도체 칩(10)의 활성면(12)과 전기적으로 연결되어 있다. 또한, 상기 회로 기판(20)의 하면에는 상기 반도체 칩(10)을 외부 소자와 연결시키는 데 필요한 복수의 솔더볼(70)이 형성되어 있다.

<24> 상기 반도체 칩(10)의 배면(14) 위에는 보호캡(protective cap)(40)이 부착되어 있다.

상기 보호캡(40)은 상기 반도체 칩(10)에 대면하고 있는 제1면(42)과, 상기 제1면(42)의 반대측에서 외부에 노출되어 있는 제2면(44)을 포함한다. 또한, 상기 보호캡(40)은 상기 반도체 칩(10)의 외측으로 돌출되는 연장부(40a)를 가진다. 상기 연장부(40a)에는 상기 제1면(42)측으로 개방되어 있는 도브테일홈(dovetail groove)(46)이 형성되어 있다. 도 1에는 상기 도브테일홈(46)이 상기 보호캡(40)의 전체 두께를 통하여 개방되어 있는 개구 형태를 가지는 것으로 도시되어 있으나, 상기 제1면(42)으로부터 상기 보호캡(40)의 두께보다 작은 소정의 깊이로 형성

된 블라인드공(blind hole)의 형태를 가질 수도 있다. 상기 보호캡(40)은 상기 반도체 칩(10)을 외부 충격으로부터 보호하기 위하여 형성된 것으로, 금속으로 이루어진다. 예를 들면, 상기 보호캡(40)은 구리(Cu), 구리 합금, 알루미늄(Al), 또는 알루미늄 합금으로 이루어질 수 있다. 상기 보호캡(40)을 금속으로 형성함으로써 플립칩 패키지의 우수한 열전도 특성을 유지시킬 수 있다.

<25> 상기 반도체 칩(10)과 상기 회로 기판(20)과의 전기적 연결 부분을 밀봉하기 위하여 EMC(epoxy molding compound)로 이루어지는 몰딩 수지층(50)이 형성되어 있다. 상기 몰딩 수지층(50)은 상기 반도체 칩(10)의 측면(16) 및 상기 보호캡(40)의 측면(48)을 덮도록 형성되어 있다. 상기 몰딩 수지층(50)에는 상기 보호캡(40)의 연장부(40a)에 형성된 도브테일홈(46)에 수용되는 도브테일부(dovetail portion)(52)가 형성되어 있다. 상기 보호캡(40)의 도브테일홈(46)과 상기 몰딩 수지층(50)의 도브테일부(52)의 맞물림 결합에 의하여 상기 반도체 칩(10) 위에서 상기 보호캡(40)이 향상된 결합력으로 부착되어 있게 된다.

<26> 상기 반도체 칩(10)의 배면(14)과 상기 보호캡(40) 사이에는 접착층(60)이 개재되어 있다. 상기 반도체 칩(10)의 배면(14)과 상기 보호캡(40)은 상기 접착층(60)을 사이에 두고 상호 열압착되어 부착된다. 상기 접착층(60)을 구성하는 재료로서 열방출 특성이 우수한 재료를 사용하는 것이 바람직하다. 예를 들면, 상기 접착층(60)은 비스말레이미드 수지 계열의 접착제(bismaleimide resin-based adhesive)로 구성된다. 경우에 따라서, 상기 접착층(60)이 생략될 수도 있다.

<27> 도 2a 내지 도 2d는 본 발명의 제1 실시예에 따른 플립칩 패키지의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 2a 내지 도 2d에 있어서, 도 1에서와 동일한 부분은 동일한 참조 부호로 표시한다.

- <28> 먼저 도 2a를 참조하면, 활성면(12)과 배면(14)을 가지는 반도체 칩(10)을 회로 기판(20)상의 소정 영역에 복수의 솔더 범프(30)를 이용하여 전기적으로 연결시킨다. 그 후, 도브테일홈(46)이 형성된 보호캡(40)이 일면에 부착되어 있는 릴리즈 테이프(release tape)(80)를 준비한다. 상기 릴리즈 테이프(80)는 발포성 수지 필름으로 이루어진다. 상기 릴리즈 테이프(80)의 일면에는 후속 공정에서 외부에 노출될 상기 보호캡(40)의 제2면(44)이 부착되며, 상기 보호캡(40)의 제1면(42)에는 상기 반도체 칩(10)의 배면(14)에 접촉될 수 있도록 테이프 형태의 접착층(60)이 부착되어 있다. 상기 접착층(60)은 경우에 따라 생략 가능하다.
- <29> 또한, 상형 및 하형으로 구성된 반도체 패키지 제조용 몰딩 금형을 준비한다. 상기 몰딩 금형으로서 이 기술 분야에서 공지된 것을 사용하며, 따라서 이에 대한 상세한 설명은 생략한다.
- <30> 도 2b를 참조하면, 상기 반도체 칩(10)의 배면(14)과 상기 보호캡(40)의 제1면(42)이 상호 대면하도록 정렬된 상태에서 상기 릴리즈 테이프(80) 및 상기 회로 기판(20)을 사이에 두고 상기 몰딩 금형의 상형 및 하형을 클램핑시킨다. 이 때, 도 2b에 도시한 바와 같이 상기 보호캡(40)의 제1면(42) 위에 상기 접착층(60)을 형성한 경우에는, 상기 반도체 칩(10)의 배면(14)과 상기 접착층(60)이 대면하게 된다. 여기서, 상기 회로 기판(20)을 상기 몰딩 금형의 하형에 위치시키고, 상기 보호캡(40)이 부착된 릴리즈 테이프(80)를 몰딩 금형의 상형에 고정시킨 상태에서 상기 상형 및 하형의 클램핑을 진행할 수 있다.
- <31> 도 2c를 참조하면, 상기 클램핑된 몰딩 금형 내로 몰딩 수지를 주입하여 상기 반도체 칩(10)과 상기 회로 기판(20)과의 전기적 연결 부분, 상기 반도체 칩(10)의 측면(16) 및 상기 보호캡(40)의 측면(48)을 밀봉하는 몰딩 수지층(50)을 형성하는 동시에, 상기 몰딩 금형을 이용한 열압착에 의하여 상기 반도체 칩(10)의 배면에 상기 보호캡(40)을 부착시킨다. 이 때, 몰



당시의 클램핑 압력은 약 수 십톤 내지 100톤이며, 몰당시의 온도는 약 155 ~ 190℃, 바람직하게는 약 180℃이다.

<32> 상기 몰당 수지의 주입시, 몰당 금형 내로 주입된 몰당 수지는 상기 보호캡(40)의 연장부(40a)에 형성된 도브테일홈(46)으로 유입되어 몰당 수지층(50)에는 상기 도브테일홈(46)에 수용되는 도브테일부(52)가 형성된다.

<33> 도 2d를 참조하면, 상기 몰당 금형의 상형 및 하형을 분리시킨다. 그 결과, 발포성 수지로 이루어지는 상기 릴리즈 테이프(80)는 비교적 고온으로 유지되는 몰당 금형의 상형에 부착된 상태로 이탈되어, 상기 상형 및 하형의 분리와 동시에 상기 보호캡(40)으로부터 상기 릴리즈 테이프(80)가 분리된다.

<34> 그 후, 상기 반도체 칩(10)의 배면(14)에 보호캡(40)이 부착된 결과물을 열처리하여 상기 몰당 수지층(50) 및 접착층(60)을 큐어링(curing)한다. 이를 위하여 예를 들면, 도 2d의 결과물을 약 170℃의 온도로 유지되는 오븐에서 수 시간 동안 열처리한다.

<35> 그 후, 상기 반도체 칩(10)을 외부 소자와 연결시키기 위하여 상기 회로 기판(20)의 하면에 복수의 솔더볼(70)을 형성하여, 도 1에 도시한 바와 같은 구조를 완성한다.

<36> 도 3은 본 발명의 제2 실시예에 따른 플립칩 패키지의 구조를 개략적으로 도시한 단면도이다.

<37> 도 3을 참조하면, 본 발명의 제2 실시예에 따른 플립칩 패키지는 활성면(112)과 상기 활성면(112)의 반대측인 배면(114)을 가지는 반도체 칩(110)과, 상기 반도체 칩(110)과 전기적으로 연결되어 있는 회로 기판(120)을 포함한다. 상기 반도체 칩(110)은 제1 접착층(124)에 의하여 상기 회로 기판(120)의 상면에 부착되어 있다.



<38> 상기 회로 기판(120)에는 상기 회로 기판(120)을 관통하는 홀(122)이 형성되어 있으며, 상기 회로 기판(120)상에 부착된 반도체 칩(110)에 의하여 상기 홀(122)의 일단부가 덮이게 된다. 상기 홀(122)을 통과하는 복수의 와이어(130)에 의하여 상기 반도체 칩(110)의 활성면(112)과 상기 회로 기판(120)의 하면이 전기적으로 접속되어 있다. 또한, 상기 회로 기판(120)의 하면에는 상기 반도체 칩(110)을 외부 소자와 연결시키는 데 필요한 복수의 솔더볼(170)이 형성되어 있다.

<39> 상기 반도체 칩(110)의 배면(114) 위에는 보호캡(140)이 부착되어 있다. 상기 보호캡(140)은 상기 반도체 칩(110)에 대면하고 있는 제1면(142)과, 상기 제1면(142)의 반대측에서 외부에 노출되어 있는 제2면(144)을 포함한다. 또한, 상기 보호캡(140)은 상기 반도체 칩(110)의 외측으로 돌출되는 연장부(140a)를 가진다. 상기 연장부(140a)에는 상기 제1면(142)측으로 개방되어 있는 도브테일홈(146)이 형성되어 있다. 도 1의 도브테일홈(46)에 대하여 설명한 바와 마찬가지로, 상기 도브테일홈(146)은 도 3에 도시한 바와 같이 상기 보호캡(140)의 전체 두께를 통하여 개방되어 있는 개구 형태를 가질 수도 있고, 상기 제1면(142)으로부터 상기 보호캡(140)의 두께보다 작은 소정의 깊이로 형성된 블라인드공의 형태를 가질 수도 있다. 상기 보호캡(140)은 상기 반도체 칩(110)을 외부 충격으로부터 보호하기 위하여 형성된 것으로, 금속으로 이루어진다. 예를 들면, 상기 보호캡(140)은 구리(Cu), 구리 합금, 알루미늄(Al), 또는 알루미늄 합금으로 이루어질 수 있다. 상기 보호캡(140)을 금속으로 형성함으로써 플립칩 패키지의 우수한 열전도 특성을 유지시킬 수 있다.

<40> 상기 반도체 칩(110)과 상기 회로 기판(120)과의 전기적 연결 부분을 밀봉하기 위하여 EMC로 이루어지는 몰딩 수지층(150)이 형성되어 있다. 상기 몰딩 수지층(150)은 상기 반도체 칩(110)의 측면(116) 및 상기 보호캡(140)의 측면(148)과, 와이어(130)에 의한 연결 부분을 덮

도록 형성되어 있다. 상기 몰딩 수지층(150)에는 상기 보호캡(140)의 연장부(140a)에 형성된 도브테일홈(146)에 수용되는 도브테일부(152)가 형성되어 있다. 상기 보호캡(140)의 도브테일홈(146)과 상기 몰딩 수지층(150)의 도브테일부(152)의 맞물림 결합에 의하여 상기 반도체 칩(110) 위에서 상기 보호캡(140)이 향상된 결합력으로 부착되어 있게 된다.

<41> 상기 반도체 칩(110)의 배면(114)과 상기 보호캡(140) 사이에는 제2 접착층(160)이 개재되어 있다. 상기 반도체 칩(110)의 배면(114)과 상기 보호캡(140)은 상기 제2 접착층(160)을 사이에 두고 상호 열압착되어 부착된다. 상기 제2 접착층(160)을 구성하는 재료는 도 1의 접착층(60)에 대하여 설명한 바와 같다. 경우에 따라서, 상기 제2 접착층(160)은 생략될 수도 있다.

<42> 도 4a 내지 도 4d는 본 발명의 제2 실시예에 따른 플립칩 패키지의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 4a 내지 도 4d에 있어서, 도 3에서와 동일한 부분은 동일한 참조 부호로 표시한다.

<43> 먼저 도 4a를 참조하면, 활성면(112)과 배면(114)을 가지는 반도체 칩(110)을 회로 기판(120)에 전기적으로 연결시키기 위하여, 먼저 제1 접착층(124)에 의하여 상기 반도체 칩(110)을 상기 회로 기판(120)의 상면에 부착한 후, 상기 회로 기판(120)에 형성된 홀(122)을 통과하는 복수의 와이어(130)에 의하여 상기 반도체 칩(110)의 활성면(112)과 상기 회로 기판(120)의 하면을 전기적으로 접속시킨다.

<44> 그 후, 도브테일홈(146)이 형성된 보호캡(140)이 일면에 부착되어 있는 릴리즈 테이프(180)를 준비한다. 상기 릴리즈 테이프(180)는 발포성 수지 필름으로 이루어진다. 상기 릴리즈 테이프(180)의 일면에는 후속 공정에서 외부에 노출될 상기 보호캡(140)의 제2면(144)이 부착되며, 상기 보호캡(140)의 제1면(142)에는 상기 반도체 칩(110)의 배면(114)에 부착될 수 있도

록 테이프 형태의 제2 접착층(160)이 부착되어 있다. 상기 제2 접착층(160)은 경우에 따라 생략 가능하다.

<45> 또한, 상형 및 하형으로 구성된 반도체 패키지 제조용 몰딩 금형을 준비한다.

<46> 도 4b를 참조하면, 상기 반도체 칩(110)의 배면(114)과 상기 보호캡(140)의 제1면(142)이 상호 대면하도록 정렬된 상태에서 상기 릴리즈 테이프(180) 및 상기 회로 기판(120)을 사이에 두고 상기 몰딩 금형의 상형 및 하형을 클램핑시킨다. 이 때, 도 4b에 도시한 바와 같이 상기 보호캡(140)의 제1면(142) 위에 상기 제2 접착층(160)을 형성한 경우에는, 상기 반도체 칩(110)의 배면(114)과 상기 제2 접착층(160)이 대면하게 된다. 여기서, 상기 회로 기판(120)을 상기 몰딩 금형의 하형에 위치시키고, 상기 보호캡(140)이 부착된 릴리즈 테이프(180)를 몰딩 금형의 상형에 고정시킨 상태에서 상기 상형 및 하형의 클램핑을 진행할 수 있다.

<47> 도 4c를 참조하면, 상기 클램핑된 몰딩 금형 내로 몰딩 수지를 주입하여 상기 반도체 칩(110)과 상기 회로 기판(120)과의 전기적 연결 부분, 상기 반도체 칩(110)의 측면(116) 및 상기 보호캡(140)의 측면(148)을 밀봉하는 몰딩 수지층(150)을 형성하는 동시에, 상기 몰딩 금형을 이용한 열압착에 의하여 상기 반도체 칩(110)의 배면에 상기 보호캡(140)을 부착시킨다. 이 때, 몰딩시의 클램핑 압력 및 몰딩시의 온도는 도 2c를 참조하여 설명한 바와 같다.

<48> 상기 몰딩 수지의 주입시, 몰딩 금형 내로 주입된 몰딩 수지는 상기 보호캡(140)의 연장부(140a)에 형성된 도브테일홈(146)으로 유입되어 몰딩 수지층(150)에는 상기 도브테일홈(146)에 수용되는 도브테일부(152)가 형성된다.

<49> 도 4d를 참조하면, 상기 몰딩 금형의 상형 및 하형을 분리시킨다. 그 결과,

발포성 수지로 이루어지는 상기 릴리즈 테이프(180)는 비교적 고온으로 유지되는 몰딩 금형의 상형에 부착된 상태로 이탈되어, 상기 상형 및 하형의 분리와 동시에 상기 보호캡(140)으로부터 상기 릴리즈 테이프(180)가 분리된다.

<50> 그 후, 상기 반도체 칩(110)의 배면(114)에 보호캡(140)이 부착된 결과물을 열처리하여 상기 몰딩 수지층(150) 및 제2 접착층(160)을 도 2d를 참조하여 설명한 바와 같은 방법으로 큐어링한다.

<51> 그 후, 상기 반도체 칩(110)을 외부 소자와 연결시키기 위하여 상기 회로 기판(120)의 하면에 복수의 솔더볼(170)을 형성하여, 도 3에 도시한 바와 같은 구조를 완성한다.

【발명의 효과】

<52> 본 발명에 따른 플립칩 패키지는 회로 기판에 전기적으로 연결되어 있는 반도체 칩의 배면에 보호캡이 부착되어 있다. 따라서, 상기 반도체 칩이 상기 보호캡에 의하여 외부 충격으로부터 보호되어 칩 크랙과 같은 손상이 방지될 수 있으며, 외부로 노출되어 있는 상기 보호캡을 금속으로 형성함으로써 우수한 열전도 특성을 유지시킬 수 있다. 또한, 상기 보호캡에는 반도체 칩의 외측으로 돌출되는 연장부에 도브테일홈이 형성되어 있으므로, 상기 도브테일홈에 몰딩 수지가 유입되어 도브테일부를 형성함으로써 상기 도브테일홈과 도브테일부의 맞물림 결합이 이루어지고, 따라서 상기 보호캡이 반도체 칩의 배면에 향상된 접착력으로 부착된다.

<53> 본 발명에 따른 플립칩 패키지 제조 방법에서는 반도체 칩의 배면에 보호캡을 부착하기 위하여 별도의 공정을 추가하지 않고, 몰딩 금형의 클램핑과 동시에 반도체 칩의 배면에 보호캡을 부착한다. 또한, 보호캡을 부착하는 데 사용된 릴리즈 테이프는 발포성 수지 필름으로 이

루어지는 것으로서, 몰딩 금형의 상형 및 하형이 분리됨과 동시에 보호캡으로부터 분리되어 제거된다.

<54> 따라서, 본 발명에 의하면 반도체 칩의 배면에 부착된 보호캡에 의하여 우수한 열전달 특성을 유지하면서 반도체 칩의 배면이 손상되는 것을 효과적으로 방지할 수 있고, 별도의 공정을 추가하지 않고도 반도체 칩의 배면을 효과적으로 보호할 수 있는 보호캡을 반도체 칩의 배면에 부착함으로써 공정수를 증가시키지 않고도 신뢰성이 우수한 플립칩 패키지를 제조할 수 있으며, 대량 생산에 유리하게 적용될 수 있다.

<55> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

활성면과 상기 활성면의 반대측 배면을 가지는 반도체 칩과,
상기 반도체 칩의 활성면과 전기적으로 연결되어 있는 회로 기판과,
상기 반도체 칩과 상기 회로 기판과의 전기적 연결 부분 및 상기 반도체 칩의 측면을 밀봉하기 위한 몰딩 수지층과,
상기 회로 기판의 하면에 형성된 복수의 솔더볼과,
상기 반도체 칩의 배면에 부착된 보호캡(protective cap)을 포함하고,
상기 보호캡은 상기 반도체 칩의 외측으로 돌출되는 연장부를 가지고, 상기 보호캡의 연장부에는 몰딩 수지가 유입될 수 있는 도브테일홈(dovetail groove)이 형성된 것을 특징으로 하는 플립칩 패키지.

【청구항 2】

제1항에 있어서,

상기 보호캡은 금속으로 이루어진 것을 특징으로 하는 플립칩 패키지.

【청구항 3】

제2항에 있어서,

상기 보호캡은 구리(Cu), 구리 합금, 알루미늄(Al), 또는 알루미늄 합금으로 이루어지는 것을 특징으로 하는 플립칩 패키지.

【청구항 4】

제1항에 있어서,

상기 반도체 칩과 상기 회로 기판을 전기적으로 연결시키기 위한 복수의 솔더 범프를 더 포함하는 것을 특징으로 하는 플립칩 패키지.

【청구항 5】

제1항에 있어서,

상기 반도체 칩과 상기 회로 기판을 전기적으로 연결시키기 위한 복수의 본딩 와이어를 더 포함하는 것을 특징으로 하는 플립칩 패키지.

【청구항 6】

제1항에 있어서,

상기 반도체 칩의 배면과 보호캡과의 사이에 개재된 접착층을 더 포함하는 것을 특징으로 하는 플립칩 패키지.

【청구항 7】

제1항에 있어서,

상기 몰딩 수지층에는 상기 보호캡에 형성된 도브테일홈에 수용되는 도브테일부(dovetail portion)가 형성된 것을 특징으로 하는 플립칩 패키지.

【청구항 8】

활성면과 그 반대측 배면을 가지는 반도체 칩을 회로 기판상의 소정 영역에 전기적으로 연결시키는 단계와,

상형 및 하형으로 구성된 반도체 패키지 제조용 몰딩 금형을 준비하는 단계와,



도브테일홈이 형성된 보호캡(protective cap)이 부착된 릴리즈 테이프(release tape)를 준비하는 단계와,

상기 반도체 칩의 배면과 상기 보호캡이 상호 대면하도록 정렬된 상태에서 상기 릴리즈 테이프 및 상기 회로 기판을 사이에 두고 상기 몰딩 금형의 상형 및 하형을 클램핑시키는 단계와,

상기 클램핑된 몰딩 금형 내로 몰딩 수지를 주입하여 상기 반도체 칩과 상기 회로 기판과의 전기적 연결 부분 및 상기 반도체 칩의 측면을 밀봉하는 몰딩 수지층을 형성하는 동시에, 상기 몰딩 금형을 이용한 열압착에 의하여 상기 반도체 칩의 배면에 상기 보호캡을 부착시키는 단계와,

상기 몰딩 금형의 상형 및 하형을 분리시킴과 동시에 상기 보호캡으로부터 릴리즈 테이프를 분리시키는 단계를 포함하는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 9】

제8항에 있어서,

상기 보호캡은 금속으로 이루어진 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 10】

제9항에 있어서,

상기 보호캡은 구리(Cu), 구리 합금, 알루미늄(Al), 또는 알루미늄 합금으로 이루어지는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 11】

제8항에 있어서,

상기 반도체 칩과 상기 회로 기판은 복수의 솔더 범프에 의해 전기적으로 연결되는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 12】

제8항에 있어서,

상기 반도체 칩과 상기 회로 기판은 복수의 본딩 와이어에 의해 전기적으로 연결되는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 13】

제8항에 있어서,

상기 몰딩 금형의 상형 및 하형을 클램핑시키기 전에 상기 반도체 칩의 배면에 접착층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 14】

제13항에 있어서,

상기 반도체 칩의 배면에 상기 보호캡을 부착시키는 단계는 상기 접착층이 상기 배면과 보호캡 사이에 개재된 상태에서 행해지는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 15】

제8항에 있어서,

상기 보호캡은 상기 반도체 칩의 배면에 부착된 상태에서 상기 반도체 칩의 외측으로 돌출되는 연장부를 가지고,



상기 도브테일홈은 상기 연장부에 위치되는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 16】

제8항에 있어서,

상기 릴리즈 테이프는 발포성 수지 필름으로 이루어지는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 17】

제8항에 있어서,

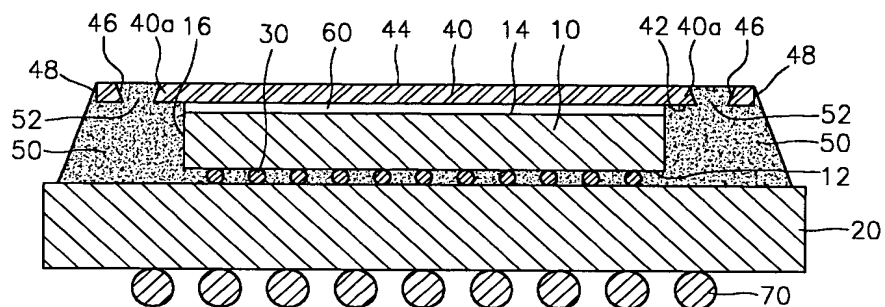
상기 몰딩 수지층에는 상기 보호캡에 형성된 도브테일홈에 수용되는 도브테일부 (dovetail portion)가 형성되는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【청구항 18】

제8항에 있어서,

상기 반도체 칩의 배면에 보호캡이 부착된 결과물에 열을 가하여 상기 몰딩 수지층을 큐어링하는 단계를 더 포함하는 것을 특징으로 하는 플립칩 패키지 제조 방법.

【도 1】

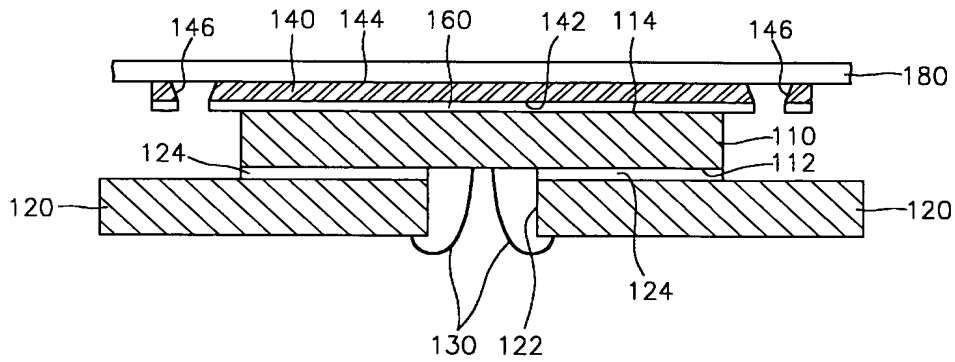


[illegible][illegible]

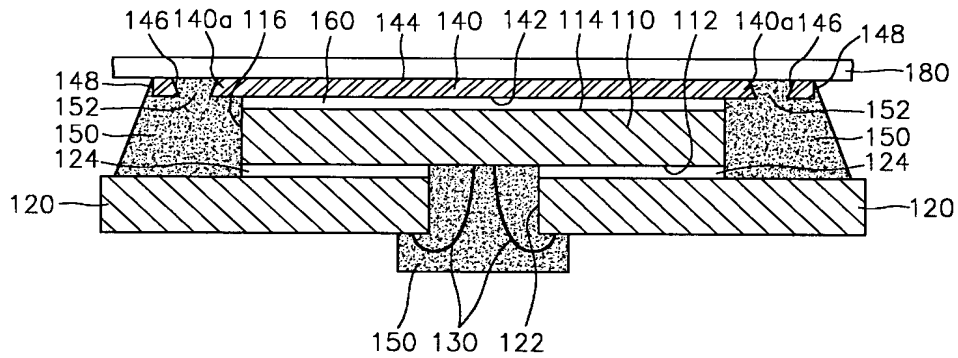
The figure consists of two cross-sectional views of a device. The upper view shows a horizontal substrate 180. On its top surface, there is a central rectangular region 140 filled with diagonal hatching. This region is bordered on both sides by regions 146, which are also hatched. Above the central region 140, there are labels 142 and 144 pointing to the same area. Two downward-pointing arrows, labeled 144 and 160, originate from the center of the substrate. The lower view shows another horizontal assembly. It has a top layer 110 with diagonal hatching, a thin middle layer 112, and a bottom layer 120 with diagonal hatching. In the center, there is a vertical opening or cavity 130. The inner walls of this cavity are labeled 122, and the outer edges of the bottom layer are labeled 124.



【도 4b】



【도 4c】



【도 4d】

